

**МОДЕЛЮВАННЯ ПРИСТРОЇВ НАНОЕЛЕКТРОНИКИ З  
ВИКОРИСТАННЯМ СУЧАСНИХ 1D І 2D ЕЛЕМЕНТІВ**

## ЗМІСТ

Анотація.....	3
Вступ.....	4
1.Огляд літератури.....	5
1.1 2D матеріали.....	5
1.2 Використання 2D матеріалів.....	6
1.3 Польовий транзистор.....	7
1.4 Балістичний режим.....	7
1.5 Квазібалістичний режим.....	8
1.6 CMOS інвертор.....	10
1.7 Базові характеристики інвертора.....	11
2. Головна частина.....	14
2.1 Модель для напруги перемикання і коефіцієнта підсилення CMOS інвертора.....	14
2.2 Затримка перемикання.....	17
Висновки.....	22
Список Джерел.....	23

## АНОТАЦІЯ

CMOS інвертор є основою для логічних елементів сучасної нанонелектроніки завдяки надійності та низькому енергоспоживанню. Проте виклики, пов'язані з переходом до ультракоротких каналів (10 нм і менше) у кремнії, змушують шукати нові 2D напівпровідникові матеріали, серед яких сьогодні чільне місце за дослідницьким інтересом посідають дихалькогеніди перехідних металів (ДПМ). Ці структури поєднують граничну тонкість графену з властивостями напівпровідника. Перевагою ДПМ є те, що вони легко інтегруються з металевими нанострічками, вуглецевими нанотрубками (ВНТ) та графеновими каналами. Така інтеграція дозволяє подолати технологічні обмеження, що накладаються процесами літографії, й перейти в область ультракороткоканальних пристроїв. У цій роботі ми пропонуємо просту універсальну модель для CMOS інвертора, базовану на новітній моделі транспорту в короткоканальних транзисторах [17] що працюють у квазібалістичному/балістичному режимі провідності, що дозволяє отримати залежності напруги перемикання, часу затримки перемикання та коефіцієнти підсилення як функції параметрів системи.

CMOS, ІНВЕРТОР, КОРОТКОКАНАЛЬНИЙ, ТРАНЗИСТОР, ГРАФЕН, ДИХАЛЬКОГЕНІД, ІНВЕРТОР, DIBL

## ВСТУП

Отримання зразків графену в 2004 році відкрило велике вікно в нову еру матеріалознавства[12]. Ця революційна подія призвела до початку одержання й вивчення 2D матеріалів. Надзвичайні фізичні та електронні властивості графену привернули увагу наукової спільноти, зробивши його найбільш дослідженим з сімейства 2D матеріалів. Водночас надії на появу масової вуглецевої електроніки не справдилися, оскільки графен є напівметалом (або безщілинним напівпровідником), у якому ВАХ симетрична, і через те на ній не можна одержати два чітко розрізнені стани, які відповідають логічним «0» та «1».

В 2010 р. були одержані моношари нового класу 2D матеріалів - дихалькогенідів перехідних металів (ДПМ). На відміну від графену, вони є прямозонними напівпровідниками з помірними забороненими зонами (порядку 1,5 – 2 еВ). Завдяки цьому їх можна використовувати в сучасних приладах оптоелектроніки та в логічних елементах наноелектроніки.

CMOS (комплементарний, базований на поєднанні двох польових транзисторів метал-оксид-напівпровідник р- та n-типу) інвертор є основою для логічних елементів сучасної наноелектроніки. Виклики пов'язані з переходом до ультракоротких каналів (менше 10 нм) в кремнії змушують використовувати нові 2D матеріали такі як ДПМ. У 2015 році було створено CMOS інвертор який базується на  $\text{MoS}_2$  транзисторі n-типу і  $\text{WSe}_2$  транзисторі p-типу. [14], проте універсальної моделі для інвертора, який інтегрує n-MOSFET з каналом  $\text{MoS}_2$ , та p-MOSFET – з каналом на ВНТ чи на дірковому  $\text{WSe}_2$ , досі запропоновано не було. Метою даної роботи є побудова простої універсальної моделі для CMOS інвертора, базовану на новітній моделі транспорту в короткоканальних транзисторах [17], що працюють у квазібалістичному/балістичному режимі провідності.

Слід зазначити, що частина результатів даної роботи були викладені в [20,21,32,33].

## 1.ОГЛЯД ЛІТЕРАТУРИ

### 1.1. 2D матеріали

2D матеріали - це листові наноматеріали, що характеризуються поперечним розміром понад 100 нм і товщиною менше 10 нм. Сімейство цих матеріалів настільки широке, що в ньому можна знайти майже всі механізми провідності (метал, напівпровідник, ізолятор, надпровідник). Незважаючи на це, всі 2D матеріали мають три спільні риси. По перше, суміжні моноатомні шари утримуються разом за рахунок слабких ван-дер-Вальсових зв'язків, на той час як сильні валентні зв'язки утримують атоми в шарі. По друге, це атомарний масштаб і рівномірна товщина (0.34-0.7 нм) [2] кожного шару, що дозволяє створювати надгнучку і прозору електроніку. Третьою особливістю є чиста (вільна від обірваних зв'язків) поверхня. Ці властивості дозволяють отримувати 2D матеріали за допомогою «відшаровування». [4]

Графен утворений одним шаром атомів вуглецю (товщиною 0,34 нм), розташованих у двовимірній гексагональній (стільниковій) ґратці. Кожен атом вуглецю ділить три електрони з трьома найближчими сусідами у формі  $sp^2$ -гібридизованого  $\sigma$ -зв'язку.  $\sigma$ -зв'язки визначають структурні та коливальні властивості графену, такі як теплопровідність і модуль Юнга, але не впливають на його електричні властивості. Сильний зв'язок (енергія переходу  $\sim 3$  еВ) між рештою  $p_z$ -орбіталей атомів вуглецю утворює  $\pi$ -зони, які надають графену виняткової електропровідності. [3]

Дихалькогеніди перехідних металів (ДПМ) мають два типи атомів, М і Х, які розташовані у вигляді 2-вимірної стільникової структури в площині ДПМ, а також у формі Х-М-Х по нормалі до площини ДПМ. М означає перехідний метал, наприклад, Мо або W. Х означає халькоген, такі як, О, S, Se і Те. Кожен шар ДПМ має фіксовану і рівномірну товщину  $\sim 0,65$  нм. Типові одношарові ДПМ мають пряму заборонену зону, в той же час об'ємні ДПМ мають непряму заборонену зону. Перехід від непрямої до прямої забороненої зони від об'ємних ДПМ до одношарових ДПМ зумовлений просторовим обмеженням вздовж напрямку товщини. [2]

У таблиці (1) наведено основні параметри кількох типових 2D матеріалів. Як показано, типові напівпровідникові 2-D матеріали,  $MoS_2$  і  $WSe_2$ , мають відносно великі ефективні маси, що вказує на те, що хоча повна густина станів зменшується через зменшення вимірності матеріалу, ці 2D напівпровідники можуть забезпечити достатньо велику локальну густину станів для електронних пристроїв, таких, як польові транзистори, які виготовляються на поверхні матеріалу. З іншого боку, було виявлено, що 2D матеріали менше страждають від деградації рухливості, порівняно з

об'ємними матеріалами, такими як Si і Ge, при зменшенні товщини матеріалу.

Слід зауважити, що порівняно з об'ємними Si та Ge, якість матеріалу 2D напівпровідників все ще має багато місця для підвищення рухливості, про що свідчить збільшення рухливості електронів у синтезованому одношаровому WSe<sub>2</sub>. Ці властивості роблять 2D матеріали перспективними для застосування в електронних пристроях.[3]

	Графен	MoS <sub>2</sub>	WSe <sub>2</sub>
E <sub>g</sub> , (eV)	0	1,8	1,6
m <sub>e,x/y</sub> (m <sub>0</sub> )	Без маси	0,57	0,36
m <sub>h,x/y</sub> (m <sub>0</sub> )	Без маси	0,61	0,41
T <sub>1L</sub> (нм)	0,3	0,65	0,65

Табл.1 (з роботи [3]). Параметри для деяких 2D матеріалів (E<sub>g</sub> –товщина забороненої зони, m<sub>e/h</sub> –ефективна маса електронів/дірок при квазікласичному русі в площині ху, T<sub>1L</sub>- товщина 1 шару для матеріалу).

## 1.2 Використання 2D матеріалів

Універсальне сімейство 2-D матеріалів пропонує широкий спектр властивостей, починаючи від металевих і напівметалевих і закінчуючи напівпровідниковими, ізоляційними, топологічними, сегнетоелектричними, магнітними і надпровідними властивостями. Цей широкий спектр двовірних матеріалів з індивідуальними характеристиками відкриває двері для гетерогенної інтеграції на атомарному рівні. Це, в свою чергу, дозволяє створювати інноваційні гібридні структури, які демонструють нові фізичні явища та надають унікальні функціональні можливості. У цьому різноманітному сімействі можна знайти придатний матеріал для інтегральних схем [1,9,10].

### 1.3 Польовий транзистор

Переважає більшість транзисторів працює шляхом контролю висоти енергетичного бар'єру між витокм і стоком з прикладеною напругою. Енергетичний бар'єр в каналі запобігає витіканню електронів з витоку в стік. Як напруги прикладені до електродів затвора та стоку, висота цього енергетичного бар'єру можна маніпулювати, і потік електронів від витоку до стоку можна контролювати. Математичний аналіз транзистора метал-оксид-напівпровідник (англ. Аббревіатура MOSFET) часто починається з виразу [17],

$$I_D = W |Q_n(V_{GS}, V_{DS})| \langle v \rangle \quad (1)$$

Де  $W$  – ширина каналу провідності в напрямку, перпендикулярному до руху електронів,  $Q_n$  – рухливий електронний поверхневий заряд,  $v$  – швидкість електрону. Розуміння транзисторів зводиться до розуміння електростатики та транспорту. В той час як електростатичні принципи змінилися не сильно за останні десятиліття, природа електронного транспорту в транзисторах суттєво змінилась внаслідок все менших і менших розмірів приладів. Правильне врахування транспорту в наноприладах є істотним для розуміння і модулювання роботи цих пристроїв.

### 1.4 Балістичний режим

Підхід Ландауера є основою для розуміння транспорту носіїв у нанотранзисторах. Він описує струм через пристрій як потік електронів між двома контактами (витокм і стоком) із врахуванням ймовірності їх проходження. Основна формула Ландауера для струму від витоку до стоку припускаючи балістичний транспорт (коли коефіцієнт проходження  $T=1$ ) [17]:

$$I_{DS} = \frac{2q}{h} \int M(E) (f_S(E) - f_D(E)) dE \quad (2)$$

Де  $f_S$  – функція Фермі для витоку,  $f_D$  – функція Фермі для стоку,  $M$  – кількість мод провідності. Якщо напруга на стоці велика, то  $f_S \gg f_D$  для всіх енергій і струм насичення можна знайти за формулою [17]

$$I_{DS} = \frac{2q}{h} \int M(E) f_S(E) dE \quad (3)$$

В лінійній області відношення напруги на стоку до напруги на витоку мале,  $f_S \approx f_D$  і струм в лінійній області можна знайти з виразу [17]

$$I_{DS} = \frac{V_{DS}}{R} = GV_{DS} \quad (4)$$

$$G = \frac{1}{R} = \frac{2q^2}{h} \int M(E) \left(-\frac{\partial f_0}{\partial E}\right) dE \quad (5)$$

Де  $G$  ( $R$ ) – це провідність (опір) каналу. Розглядаючи ці вирази, можна отримати балістичний струм в лінійній області. Розглянемо лінійну область. Для кількості мод провідності можна записати

$$M(E) = W g_v \frac{\sqrt{2m(E - E_c(0))}}{\pi \hbar} \quad (6)$$

Тоді для балістичного транспорту отримаємо

$$I_{DSLIN} = G V_{DS} = \left[ W^2 \frac{q^2}{h} \left( \frac{g_v \sqrt{2\pi m * k_B T}}{2\pi \hbar} \right) F_{-1/2}(\eta_F) \right] V_{DS} \quad (7)$$

Де  $\eta_F = (E_{FS} - E_c(0))/k_B T$ ,  $F_{-1/2}$  – інтеграл Фермі-Дірака відповідного порядку. Це рівняння можна переписати в іншому вигляді перейшовши до виразів на основі заряду (детальніше в роботі [17]):

$$I_{DLIN} = \frac{W}{L} |Q_n(V_{GS})| \mu_b V_{DS} \quad (8)$$

В області насичення отримаємо

$$I_{DSAT} = W^2 \frac{q^2}{h} \left( \frac{g_v \sqrt{2\pi m * k_B T}}{2\pi \hbar} \right) k_B T F_{1/2}(\eta_F) \quad (9)$$

Або

$$I_{DSAT} = W |Q_n(V_{GS}, V_{DS})| v \quad (10)$$

### 1.5 Квазібалістичний режим

В квазібалістичному режимі для коефіцієнта проходження маємо [17].

$$T = \frac{\lambda}{\lambda + L} \quad (11)$$

Коли  $\lambda$  більша довжини каналу  $L$ , коефіцієнт проходження каналу наближається до одиниці.

Знову використаємо підхід Ландауера, але також врахуємо коефіцієнт проходження каналу  $T$  [17]:



$$I_{DS} = \frac{2q}{h} \int T(E)M(E)(f_S(E) - f_D(E))dE \quad (12)$$

З цього рівняння можемо отримати струм в лінійній області[17]:

$$I_{DSLIN} = T(E) \left[ W^2 \frac{q^2}{h} \left( \frac{g_v \sqrt{2\pi m^* k_B T}}{2\pi \hbar} \right) F_{-1/2}(\eta_F) \right] V_{DS} \quad (13)$$

Можемо побачити що струм в ліній області в квазібалістичному режимі відрізняється від балістичного лише множником T.

Запишемо струм в області насичення[17]

$$I_{DSAT} = TW^2 \frac{q^2}{h} \left( \frac{g_v \sqrt{2\pi m^* k_B T}}{2\pi \hbar} \right) k_B T \frac{\sqrt{\pi}}{2} F_{1/2}(\eta_F) \quad (14)$$

Вирази отриманні для струмів можна спростити як це робили для балістичного режиму[17]:

$$I_{DLIN} = W |Q_n| T \left( \frac{v}{2(kT)/q} \right) V_{DS} \quad (15)$$

$$I_{DSAT} = W |Q_n| \left( \frac{T}{2-T} \right) v \quad (16)$$

## 1.6 CMOS інвертор

CMOS інвертор (рис 1) (комплементарний, базований на поєднанні двох польових транзисторів метал-оксид-напівпровідник р- та n-типу) є одним з основних блоків логічних елементів в сучасних інтегральних схемах, з винятковими властивостями, такими як надзвичайно низьке енергоспоживання і добрі шумові характеристики. Завдяки низькому енергоспоживанню комплементарний інвертор перевершує інші конфігурації інверторів (наприклад, інвертори з резистивним навантаженням) [6]. Проте при переході до ультратонких каналів (менше 10 нм) виникають виклики, такі як ефекти короткого каналу, протікання затвору тощо. Щоб подолати ці виклики на шляху до мініатюризації, треба знайти нові 2D матеріали. Такими матеріалами можуть бути згадані раніше дихалькогеніди перехідних металів (ДПМ).[5]

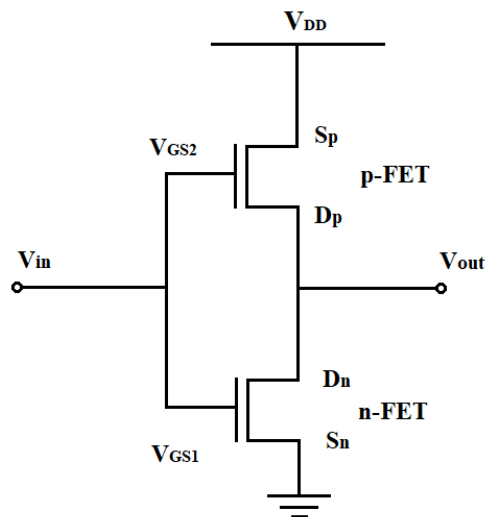


Рис. 1. Схема статичного CMOS інвертора.

Моношари ДПМ  $\text{MoS}_2$ ,  $\text{WS}_2$ ,  $\text{MoSe}_2$ ,  $\text{WSe}_2$ ,  $\text{MoTe}_2$  є напівпровідниками із прямою забороненою зоною, в яких перехід електрона із зони провідності до валентної зони не супроводжується зміною імпульсу. Тому ДПМ відмінно підходять для створення транзисторів в електроніці та випромінювачів і датчиків в оптиці [1,9,10]. Перевагою ДПМ є те, що вони легко інтегруються з металевими нанострічками, вуглецевими нанотрубками та графеновими каналами [16]. Така інтеграція дозволяє подолати технологічні обмеження, що накладаються процесами літографії, й перейти в область ультракороткоканальних пристроїв.

При створенні CMOS інвертора з використанням ДПМ виникає проблема: більшість моношарів є матеріалами n-типу. Це певний час обмежувало застосування ДПМ в напівпровідній електроніці, доки дослідники не виявили, що транзистори  $\text{MoS}_2$  демонструють поведінку N-

типу, і в той же час WSe<sub>2</sub> демонструють поведінку Р-типу[14]. Це дозволяє створення CMOS інвертора на основі цих двох транзисторів.

### 1.7 Базові характеристики інвертора

Розглянемо розрахунок базових характеристик інвертора на прикладі роботи [15]. запишемо ці вирази. Струм стоку ДПМ-транзисторів в цій роботі записано наступним чином:

$$I_D = (\gamma_1 * V_G + \gamma_2 * V_D) * W * C_{ox} * (V_G - V_T) * V_{sat} * \frac{1-R}{1+R} \quad (17)$$

де W-довжина каналу, C<sub>ox</sub> –ємність оксиду верхнього затвора. V<sub>G</sub> - напруга зміщення, прикладена до верхнього затвора. V<sub>T</sub> - порогова напруга, V<sub>sat</sub> - швидкість насичення, V<sub>D</sub> – напруга зсуву стоку,  $\gamma_{1/2}$  – підібрані коефіцієнти, R - коефіцієнт проходження, який теоретично можна обчислити за формулою

$$R = \frac{l}{1+\lambda} \quad (18)$$

де l – довжина каналу,  $\lambda$  довжина вільного пробігу відносно розсіяння носіїв назад у бік витоку.

Коли на вході інвертора високий рівень напруги, n-транзистор вмикається, а р-транзистор вимикається. Таким чином, вихід з'єднується з землею через n-транзистор, і на виході низька напруга. І навпаки, коли на вході низька напруга, р-транзистор вмикається, а n-транзистор вимикається. Тобто, вихід з'єднується з джерелом живлення через р-транзистор, і на виході формується висока напруга, рівна напрузі живлення. Таким чином, відбувається перетворення вхідного сигналу довільного рівня на два значення вихідного сигналу, що відповідають логічним «0» та «1».

Для інвертора ми можемо отримати наступні рівняння через структуру схеми [15]:

$$I_{DN} = -I_{DP} \quad (19)$$

$$V_{GN} = V_{GP} = V_{in} \quad (20)$$

$$V_{DN} = V_{DP} = V_{out} \quad (21)$$

Підставляючи вирази (17), (20), (21) в (19) в [15] було отримано вирази для струмів стоку

$$\begin{aligned} & (\gamma_1 * V_{GN} + \gamma_2 * V_{DN}) * W_N * C_{oxN} * (V_{GN} - V_{TN}) * V_{satN} * \frac{1 - R_N}{1 + R_N} \\ & = (\gamma_3 * V_{GP} + \gamma_4 * V_{DP}) * W_P * C_{oxP} * (V_{GP} - V_{TP}) * V_{satP} * \frac{1 - R_P}{1 + R_P} \end{aligned} \quad (22)$$

Як впливає з рівняння (22), криві ВАХ інверторів змінюються залежно від товщини оксиду затвора, матеріалу оксиду затвора і розміру пристрою [15]. На рис. 2 представлено результати моделювання при зміні цих параметрів.

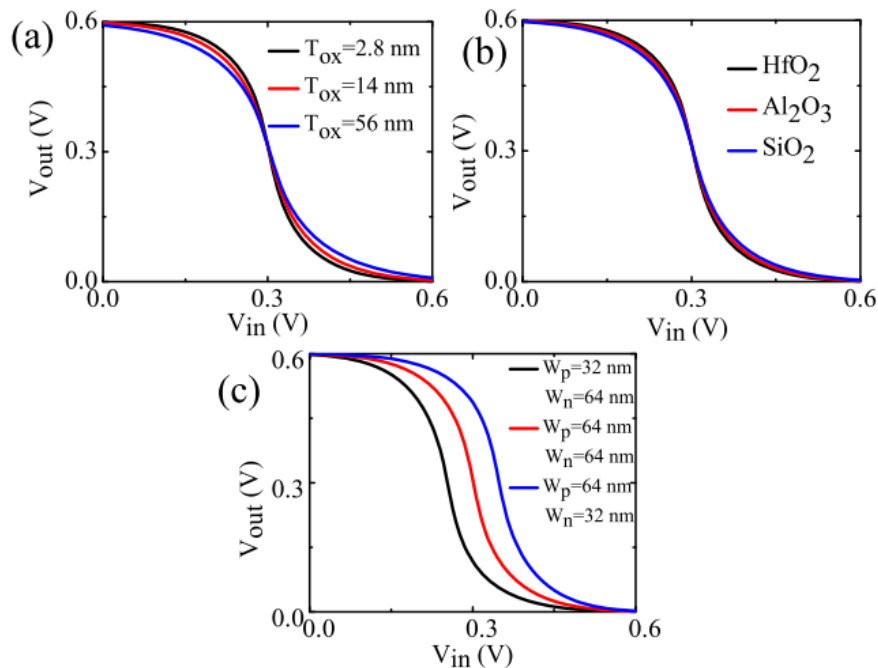


Рис2.[15] Зміна вихідних кривих при зміні параметрів: (а) товщина оксиду затвора, (b) матеріал оксиду затвора (різна діелектрична проникність оксиду затвора), (с) ширина пристроїв.

Як бачимо, при тоншому затворі оксиду,  $V_{IL}$  (точка, значення нижче якої вважається низьким сигналом) зміщується вправо, а  $V_{IH}$  (точка, значення вище якої вважається високим сигналом) - вліво. Таким чином, ми отримаємо інвертор з великим запасом для шуму, якщо виберемо більш тонкий оксид затвора. Більш тонкий оксид затвора робить відстань між двома пластинами конденсатора коротшою і призводить до збільшення ємності затвора. Таким чином, буде отримано меншу порогову напругу, що допоможе затвору ефективніше контролювати струм стоку. Крім того, можна зробити висновок, що для типових оксидних матеріалів затвора ( $HfO_2$ ,  $Al_2O_3$  і  $SiO_2$ ) криві ВАХ змінюються з діелектричною проникністю цих матеріалів. Більше того, ми бачимо, що вища діелектрична проникність оксидного матеріалу затвора призводить до вищого  $V_{IL}$  і нижчого  $V_{IH}$ . Причиною цього явища є те, що матеріал з високим  $K$  може забезпечити більшу ємність конденсатора і більш ефективне керування затвором за однакових умов. [15]

Було помічено, що розглянутий розрахунок у роботі [15] (як і в багатьох інших роботах) базується на квазібалістичній компактній моделі, яка не враховує фізики проходження носіїв у наноканалах) [17]. Ця модель

використовує струми насичення такі ж самі, як і для довгоканальних транзисторів, в таких транзисторах насичення обумовлене «перетисканням» каналу областями виснаження. Ці вирази передбачають квадратичну залежність струму від напруги на затворі, тоді як експериментальні дані показують, що залежність цих струмів є лінійною (більш детально в [17]). Тому було вирішено поставити метою дипломної роботи створення універсальної моделі роботи CMOS-інверторів, заснованої на новітній моделі транспорту в короткоканальних транзисторах.

## 2.ГОЛОВНА ЧАСТИНА

### 2.1 Модель для напруги перемикання і коефіцієнта підсилення CMOS інвертора

Розглянемо характеристику перетворення напруги CMOS-інвертора рис3.

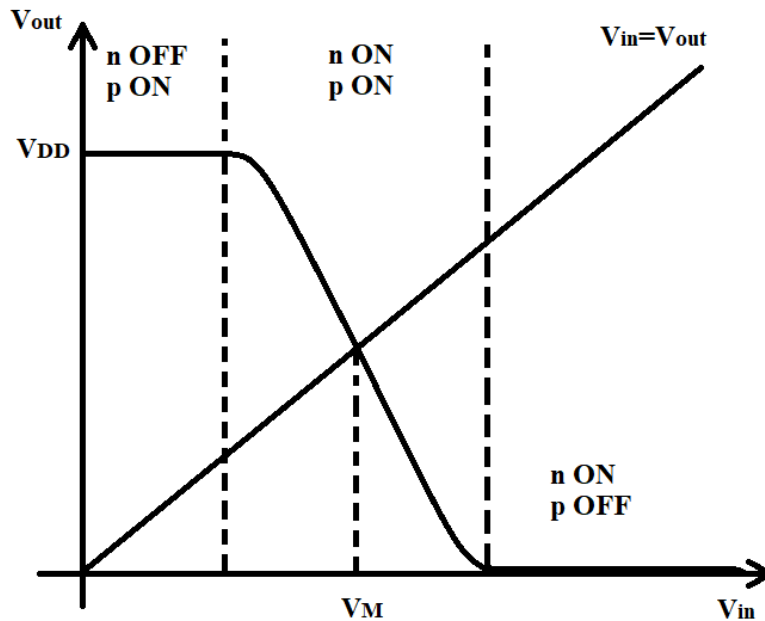


Рис.3 [20,21]. Характеристика перетворення напруги CMOS інвертора.

Її може бути побудовано зі співвідношень для струмів та напруг на затворах і витоках двох транзисторів:

$$I_{DS}^{(n)} = -I_{DS}^{(p)} \quad (23)$$

$$V_{GS}^{(n)} = V_{in}, \quad V_{GS}^{(p)} = V_{in} - V_{DD} \quad (24)$$

$$V_{DS}^{(n)} = V_{out}, \quad V_{DS}^{(p)} = V_{out} - V_{DD} \quad (25)$$

Напруга перемикання інвертора  $V_M$  визначається з умови

$$V_{in} = V_{out} \quad (26)$$

А нахил характеристики в перехідній області визначається значенням коефіцієнта підсилення

$$g = \left. \frac{dV_{out}}{dV_{in}} \right|_{V_{in}=V_{out}=V_M} \quad (27)$$

Чим більшим є значення  $g$ , тим швидше відбувається перемикання інвертора з логічного стану 0 в 1 і навпаки. Крім того, вузька перехідна область забезпечує вищу стійкість інвертора до шумів.

Далі нашою метою є знайти аналітичні вирази для базових характеристик інвертора на нанотранзисторах – напруги перемикання (26) і коефіцієнта підсилення (27). Для цього запишемо вирази для струмів на стоках  $n$ -FET і  $p$ -FET, що входять до виразу (23), у режимі насичення [17, 28]:

$$I_{DS}^{(n)} = W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right) \quad (28)$$

Тут  $W^{(n)}$ - ширина каналу провідності,  $C_{ox}^{(n)}$  – віднесена до одиниці площі ємність підзатворного оксиду цього каналу,  $V_T^{(n)}$ -порогова напруга  $n$ -FET при якій він перемикається зі стану OFF у стан ON,  $\delta^{(n)}$ -коефіцієнт ефекту DIBL(індукованого стоком зниження бар'єру) який призводить до того, що в області насичення струм стоку не залишається цілком сталим, а повільно зростає зі збільшенням напруги на стоку

$$v_T^{(n)} = \sqrt{\frac{2kT}{\pi m^{(n)}}} \quad (29)$$

усереднена за кутами теплова швидкість інжекції невідроджених електронів з ефективною масою  $m^n$  у канал  $n$ -FET у точці віртуального витоку, яка виконує для транзисторів нанорозмірів (де розсіяння носіїв у наноканалі невелике, або й відсутнє) функцію швидкості насичення [17, 28]. Зазначимо, що вираз (28) записаний для статистики Максвела-Больцмана невідроджених носіїв. Нарешті, в (28)

$$T^{(n)} = \frac{\lambda^{(n)}}{\lambda^{(n)} + L^{(n)}} \quad (30)$$

коефіцієнт проходження каналу, який описує ймовірність того, що інжектований у точці віртуального витоку в канал електрон дійде до стоку, а не повернеться внаслідок розсіювання назад на витік. У (8)  $\lambda^{(n)}$ -довжина вільного пробігу електронів у каналі щодо розсіювання назад,  $L^{(n)}$ -довжина самого каналу  $n$ -FET.

Останній співмножник у круглих дужках у (28) є наслідком того, що заряд у точці віртуального витоку формується за рахунок трьох потоків електронів: з боку витоку, з боку стоку, і з боку витоку, але розсіяних під час проходження каналу назад у бік витоку (детальніше в [17,28])

Вираз для струму на стоку  $p$ -FET можна записати аналогічно до (28), з урахуванням зміни полярності носіїв заряду

$$I_{DS}^{(p)} = W^{(p)} C_{ox}^{(p)} (V_T^{(p)} - V_{GS}^{(p)} - \delta^{(p)} V_{DS}^{(p)}) v_T^{(p)} \left( \frac{T^{(p)}}{2 - T^{(p)}} \right) \quad (31)$$

Напругу перемикавання інвертора можна знайти, спершу підставивши до виразів (28), (31) вирази (24), (25), а потім підставивши результати до (1) і врахувавши (26). При цьому ми нехтуємо малими доданками з добутками  $\delta^{(n)} V_{DS}^{(n)}$  та  $\delta^{(p)} V_{DS}^{(p)}$  обумовленими ефектом DIBL. Звідси напруга перемикавання [20,21]:

$$V_M = \frac{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} (V_T^{(p)} + V_{DD}) v_T^{(p)} \left( \frac{T^{(p)}}{2 - T^{(p)}} \right)}{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left( \frac{T^{(p)}}{2 - T^{(p)}} \right)} \quad (32)$$

Зробимо припущення, що  $C_{ox}^{(n)} = C_{ox}^{(p)}$  (підкладинка під обома транзисторами є спільною і однорідною) і вважатимемо що напруга живлення набагато більша за порогові напруги  $V_{DD} \gg V_T^{(n)}, V_T^{(p)}$ . Ці припущення дозволяють спростити вираз (32):

$$V_M = \frac{V_{DD}}{1 + K} \quad (33)$$

$$\text{Де } K = \frac{W^{(n)} v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right)}{W^{(p)} v_T^{(p)} \left( \frac{T^{(p)}}{2 - T^{(p)}} \right)} = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(n)} T^{(n)} (2 - T^{(p)})}{m^{(p)} T^{(p)} (2 - T^{(n)})}}$$

Якщо транспорт в обох транзисторах є квазібалістичним, і коефіцієнти проходження близькі до одиниці, то маємо

$$K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(n)}}{m^{(p)}}} \quad (34)$$

Якщо ж транспорт дифузійний, і коефіцієнти проходження набагато менші від одиниці, отримаємо

$$K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(n)} T^{(n)}}{m^{(p)} T^{(p)}}} = \frac{W^{(n)} L^{(p)}}{W^{(p)} L^{(n)}} \sqrt{\frac{m^{(n)} \lambda^{(n)}}{m^{(p)} \lambda^{(p)}}} \quad (35)$$

Отриманні співвідношення (33-35) дозволяють змінюючи параметри каналів обох транзисторів отримувати бажане співвідношення напруги перемикавання до напруги живлення інвертора.

Коефіцієнт підсилення можемо знайти з виразу (27). Для цього продиференціюємо рівняння (23) до якого підставимо (28), (31) та врахуємо (24), (25). При цьому ми не зможемо знехтувати малими доданками обумовленими ефектом DIBL оскільки отримаємо нескінченно великий



коефіцієнт підсилення (іншими словами, вертикальну пряму в характеристиці перетворення напруги рис3.) Як наслідок цього одержуємо рівняння для коефіцієнта підсилення [20,21,32,33]

$$g = - \frac{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left( \frac{T^{(n)}}{2-T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left( \frac{T^{(p)}}{2-T^{(p)}} \right)}{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left( \frac{T^{(n)}}{2-T^{(n)}} \right) \delta^{(n)} + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left( \frac{T^{(p)}}{2-T^{(p)}} \right) \delta^{(p)}} \quad (36)$$

Знак мінус відповідає негативному нахилу кривої(рис3.). Якщо згадати припущення  $C_{ox}^{(n)} = C_{ox}^{(p)}$  то вираз значно спрощується

$$g = \frac{1+K}{\delta^{(n)}K + \delta^{(p)}} \quad (37)$$

Так як коефіцієнти ефекту DIBL у уфетивно побудованих транзисторів є порядку кількох одиниць на  $10^{-2}$  [17] (оскільки вплив з боку стоку є небажаним бо погіршує роботу транзистора), то за значень К що визначаються раніше розрахованими виразами (31-33), вираз для коефіцієнта підсилення (37) приводить до високих значень коефіцієнту підсилення(рис4.)

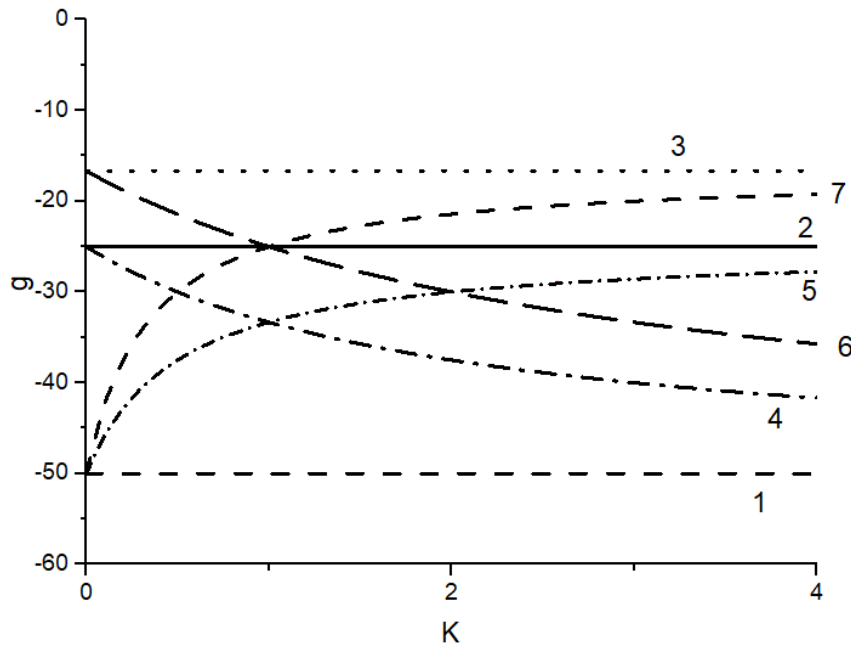


Рис.4. Коефіцієнт підсилення  $g$  як функція  $K$  (крива1-  $\delta^{(n)} = \delta^{(p)} = 0,02$ ; 2- $\delta^{(n)} = \delta^{(p)} = 0,04$ ;3- $\delta^{(n)} = \delta^{(p)} = 0,06$ ; 4- $\delta^{(n)} = 0,02, \delta^{(p)} = 0,04$ ; 5- $\delta^{(n)} = 0,04, \delta^{(p)} = 0,02$ ;6- $\delta^{(n)} = 0,02, \delta^{(p)} = 0,06$ ;7- $\delta^{(n)} = 0,06, \delta^{(p)} = 0,02$

Легко помітити що в (37) за умови  $\delta^{(n)} = \delta^{(p)}$  коефіцієнт підсилення взагалі не залежить від параметру  $K$ (рис4. Криві 1-3). При  $\delta^{(n)} < \delta^{(p)}$  модуль коефіцієнта підсилення зростає при збільшенні  $K$  (рис4. Криві 4, 6), а при  $\delta^{(n)} > \delta^{(p)}$  навпаки зменшується (рис4. Криві 5,7). Можемо побачити (рис4.)

що вибір параметрів каналів дозволяє отримати високі коефіцієнти підсилення.

## 2.2 Затримка перемикання

Затримка є одним із ключових параметрів у цифрових схемах. Для CMOS інвертора, час затримки перемикання визначається як час між зміною логічного стану вхідної напруги наполовину ( $V_{DD}/2$ ) (рис.5) та зміною вихідної напруги на половину логічного стану ( $V_{DD}/2$ ) (рис.6) [18]. При розгляді інвертора можна розглядати два випадки для затримки. Перший - коли вхідна напруга переходить від низького рівня до високого, а вихідна - від високого до низького. Другий випадок, коли вхідна напруга переходить від високого рівня до низького, тоді як вихідна - від низького до високого [19]. В обох випадках аналіз часу затримки перемикання є симетричним, тому розглянемо тільки один випадок, наприклад, перший, тобто коли вхідна напруга зростає а вихідна спадає.

Зменшення часу затримки є важливою метою при проектуванні інтегральних схем, оскільки він безпосередньо впливає на швидкість роботи приладу. Зменшуючи час затримки перемикання, ми можемо збільшити ефективність та швидкість роботи приладів. Тому для побудови інтегральних схем необхідно мати математичну модель для розрахунку затримки перемикання, щоб розуміти як зменшити вплив цього параметру на загальну роботу схеми.

Для подальшого аналізу визначимо час наростання та час спадання напруги. Час наростання  $t_r$  визначається як проміжок часу, протягом якого вихідний сигнал переходить від низького рівня ( $0.1V_{DD}$ ) до високого ( $0.9V_{DD}$ ). Аналогічно визначимо час спадання  $t_f$  як проміжок часу, протягом якого вихідний сигнал переходить від високого рівня ( $0.9V_{DD}$ ) до низького ( $0.1V_{DD}$ ). Тоді можемо записати час перемикання( $t_d$ ) як суму половин часів наростання і спадання [18]

$$t_d = \frac{t_r}{2} + \frac{t_f}{2} \quad (38)$$

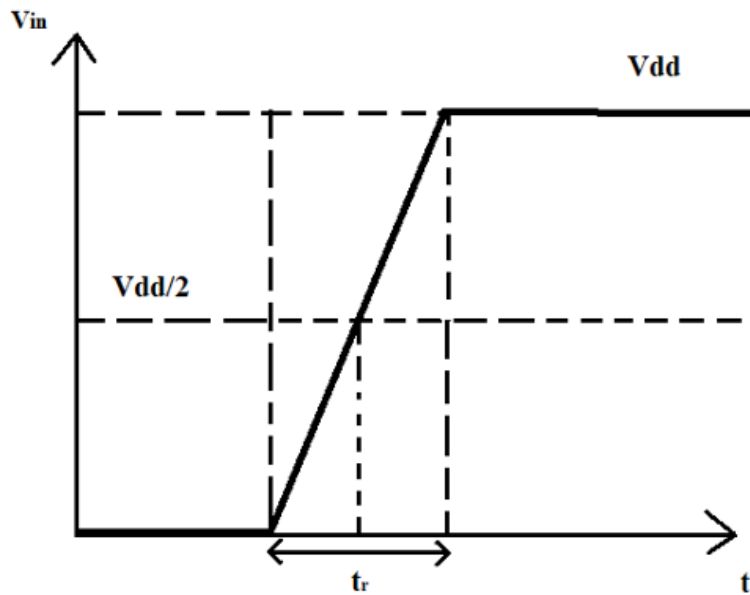


Рис.5 Час наростання

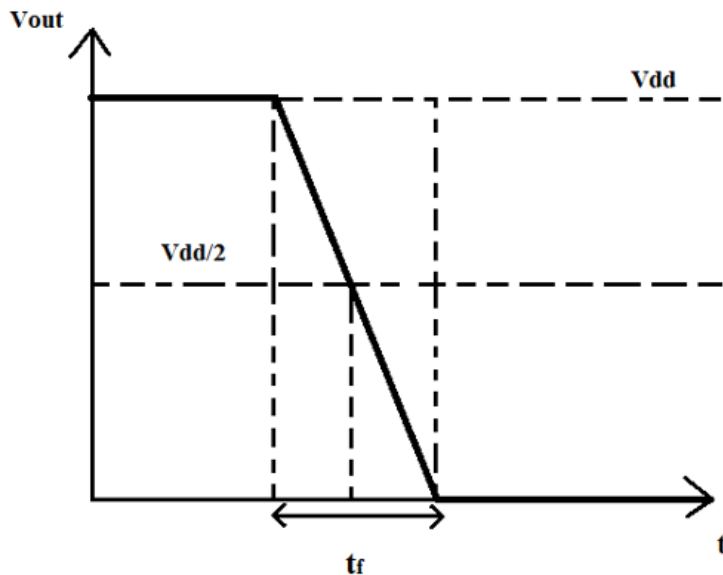


Рис.6 Час спадання

Розглядаючи характеристику перетворення напруги CMOS інвертора (рис3.) можна побачити, що час спадання складається з двох компонентів. Перший доданок - це час спадання, коли транзистор n-типу в режимі насичення  $t_s$ , другий коли транзистор n-типу в лінійному режимі роботи  $t_l$ . У режимі насичення вихідна напруга змінюється від  $0.9V_{DD}$  до  $V_{DD}-V_T$ . В лінійному режимі роботи транзистора n-типу від  $V_{DD}-V_T$  до  $0.1V_{DD}$ . [18]

Можемо знайти часи  $t_s$  та  $t_l$  за формулами [18]

$$t_s = \int_{V_{DD}-V_T}^{0.9V_{DD}} \frac{C_L}{I_{DS}^{(n)}} dV_{out} \quad (39)$$

$$t_l = \int_{0.1V_{DD}}^{V_{DD}-V_T} \frac{C_L}{I_{DS}^{(n)}} dV_{out} \quad (40)$$

Де  $C_L$  – загальна паразитна ємність. Підставляючи раніше отриманий струм стоку в режимі насичення (6) [20,21,32,33] отримаємо рівняння для часу  $t_s$

$$\begin{aligned} t_s &= \int_{V_{DD}-V_T}^{0.9V_{DD}} \frac{C_L}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right)} dV_{out} = \\ &= \frac{C_L}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right)} \int_{V_{DD}-V_T}^{0.9V_{DD}} dV_{out} = \\ &= \frac{C_L (V_T - 0.1V_{DD})}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) v_T^{(n)} \left( \frac{T^{(n)}}{2 - T^{(n)}} \right)} \end{aligned} \quad (41)$$

Щоб знайти час  $t_l$  нам потрібно записати вираз для струму стоку в лінійній області, згідно [17]

$$I_{DS}^{(n)} = W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) T^{(n)} V_{DS}^{(n)} \quad (42)$$

Підставивши (42) в (39) отримаємо вираз для часу  $t_l$

$$\begin{aligned} t_l &= \int_{0.1V_{DD}}^{V_{DD}-V_T} \frac{C_L}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) T^{(n)} V_{DS}^{(n)}} dV_{out} = \\ &= \frac{C_L}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) T^{(n)} V_{DS}^{(n)}} \int_{0.1V_{DD}}^{V_{DD}-V_T} dV_{out} = \\ &= \frac{C_L (0.9V_{DD} - V_T)}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) T^{(n)} V_{DS}^{(n)}} \end{aligned} \quad (43)$$

Додавши отримані рівняння (41) та (43), можна отримати час спадання

$$t_f = t_l + t_s = \frac{\frac{C_L}{2 - T^{(n)}} (0.9V_{DD} - V_T) + \frac{2qC_L}{kT} (V_T - 0.1V_{DD}) V_{DS}^{(n)}}{W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) \left( \frac{T^{(n)}}{2 - T^{(n)}} \right) V_{DS}^{(n)}} \quad (44)$$

Вираз для часу наростання може бути отриманий аналогічно виразу для часу спадання

$$t_r = \frac{\frac{C_L}{2-T^{(n)}} (0.9V_{DD}-V_T) + \frac{2qC_L}{kT} (V_T-0.1V_{DD})V_{DS}^{(n)}}{W^{(p)}C_{ox}^{(p)} (V_T^{(p)} - V_{GS}^{(p)} - \delta^{(p)}V_{DS}^{(p)}) \left( \frac{v_T^{(p)}}{\frac{2kT}{q}} \right) \left( \frac{T^{(p)}}{2-T^{(p)}} \right)} \quad (45)$$

Підставляючи отримані вирази (44) та (45) в (38), можемо отримати вираз для затримки перемикання

$$t_d = \frac{\frac{C_L}{2-T^{(n)}} (0.9V_{DD}-V_T) + \frac{2qC_L}{kT} (V_T-0.1V_{DD})V_{DS}^{(n)}}{2W^{(n)}C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)}V_{DS}^{(n)}) \left( \frac{v_T^{(n)}}{\frac{2kT}{q}} \right) \left( \frac{T^{(n)}}{2-T^{(n)}} \right) V_{DS}^{(n)}} - \frac{\frac{C_L}{2-T^{(p)}} (0.9V_{DD}-V_T) + \frac{2qC_L}{kT} (V_T-0.1V_{DD})V_{DS}^{(p)}}{2W^{(p)}C_{ox}^{(p)} (V_T^{(p)} - V_{GS}^{(p)} - \delta^{(p)}V_{DS}^{(p)}) \left( \frac{v_T^{(p)}}{\frac{2kT}{q}} \right) \left( \frac{T^{(p)}}{2-T^{(p)}} \right)} \quad (46)$$

Використовуючи рівняння (46), ми можемо, враховуючи короткоканальність системи, розрахувати час затримки CMOS інвертора.

## ВИСНОВКИ

В нашій роботі побудовано аналітичну модель, на основі якої одержано вирази для напруги перемикання, часу затримки перемикання і коефіцієнта підсилення CMOS інвертора з наноканальними 2D транзисторами. Одержані вирази дозволяють змодельовати значення цих основних параметрів пристрою, що є базою для логічних елементів сучасної нанонелектроніки. Підтверджено можливість створення ефективних інверторів з великим коефіцієнтом підсилення на основі транзисторів з каналами з 2D моношарів дихалькогенідів перехідних металів та з наборів вуглецевих нанотрубок. Показано, що фактором, який обмежує коефіцієнт підсилення, є небажаний у транзисторах ефект DIBL (за прямування цього ефекту до нуля коефіцієнт підсилення прямує до нескінченності).

## ДЖЕРЕЛА

1. Yang, X.; Mao, C.; Hu, Y.; Cao, H.; Zhang, Y.; Zhao, D.; Chen, Z.; Xie, M. *Two-dimensional aluminum phosphide semiconductor with tunable direct band gap for nanoelectronic applications*. *RSC Adv.* **2020**, *10*, 25170.
2. Filip A. Rasmussen and Kristian S. Thygesen. Computational 2D Materials Database: *Electronic Structure of Transition-Metal Dichalcogenides and Oxides*. *J. Phys. Chem. C* **119**, 13169–13183 (2015).
3. Cao, W., Jiang, J., Xie, X., Pal, A., Chu, J., Kang, J., & Banerjee, K. (2018). 2-D. *IEEE Transactions on Electron Devices*, 65(10), 4109-4121.
4. *Graphene and Beyond-Graphene 2D Crystals for Next-Generation Green Electronics*(2014). Jiahao Kang, Wei Cao, Xuejun Xie, Deblina Sarkar, Wei Liu and Kaustav Banerjee
5. Nandan K, Agarwal A, Bhowmick S and Chauhan YS (2023), *Two-dimensional semiconductors based field-effect transistors: review of major milestones and challenges*. *Front. Electron.* 4:1277927. doi: 10.3389/felec.2023.1277927
6. CMOS inverter: [https://bjpcjp.github.io/pdfs/cmos\\_layout\\_sim/ch11-inverter.pdf](https://bjpcjp.github.io/pdfs/cmos_layout_sim/ch11-inverter.pdf)
7. *Single Crystalline 2D Material Nanoribbon Networks for Nanoelectronics*. Muhammad Awais Aslam, Tuan Hoang Tran , Antonio Supina, Olivier Siri, Vincent Meunier, Kenji Watanabe, Takashi Taniguchi, Marko Kralj, Christian Teichert, Evgeniya Sheremet , Raul D. Rodriguez , and Aleksandar Matković
8. *2D Semiconductor FETs--Projections and Design for Sub-10 nm VLSI*. Wei Cao, *Student Member, IEEE*, Jiahao Kang, *Student Member, IEEE*, Deblina Sarkar, *Student Member, IEEE*, Wei Liu, *Member, IEEE*, and Kaustav Banerjee, *Fellow, IEEE*
9. *Current Advances in Nanoelectronics, Nanosensors, and Devices*.(2024) Filippo Giubileo
10. *Progress on Two-Dimensional Transitional Metal Dichalcogenides Alloy Materials: Growth, Characterisation, and Optoelectronic Applications*. Jia Yu, Shiru Wu , Xun Zhao , Zhipu Li , Xiaowei Yang, Qian Shen , Min Lu, Xiaoji Xie , Da Zhan and Jiaxu Yan
11. *Two-dimensional materials and their prospects in transistor electronics*(2015) F. Schwierz,\* J. Pezoldt and R. Granzner *Nanoscale*, 2015, 7, 8261
12. Novoselov, K. S.; Jiang, D.; Schedin, F.; Booth, T. J.; Khotkevich, V. V.; Morozov, S. V.; Geim, A. K. *Two-Dimensional Atomic Crystals*.
13. International Technology Roadmap for Semiconductors, Table PIDS 2 and 4. [Online]. Available: <http://www.itrs.net>

14. Ah-Jin Cho, Kee Chan Park & Jang-Yeon Kwon. *A high-performance complementary inverter based on transition metal dichalcogenide field-effect transistors*. Nanoscale Research Letters, 10, 115 (2015).
15. F. F. Mao, Z. Jin, L. Y. Shang, Z. G. Hu, and J. H. Chu. *Static characteristics of CMOS digital circuit based on transition metal dichalcogenide transistors*. AIP Advances 9, 085031 (2019); doi: 10.1063/1.5112078
16. [REDACTED]
17. M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018);
18. Zihan Lan *On the propagation delay of CMOS inverters* (Proceedings of the 4th International Conference on Materials Chemistry and Environmental Engineering) DOI: 10.54254/2755-2721/84/20240876
19. T. Sakurai and A. R. Newton. (1990) *Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas*. IEEE J. Solid-State Circuits, 25: 584–594
20. M. Strikha, M. Hurieiev. Analytical model for the switching voltage and gain coefficient of a CMOS inverter with nanochannel 2D transistors // In: 25TH SYMPOSIUM ON PHOTONICS AND OPTICS (SPO 2024). Book of Abstracts. Kyiv: November 4 – 8, 2024. – P.30.
21. [REDACTED]
22. Woorham Bae. CMOS Inverter as Analog Circuit: An Overview. J. Low Power Electron. Appl. 9, 26 (2019); doi:10.3390/jlpea9030026
23. Keshari Nandan, Amit Agarwal, Somnath Bhowmick and Yogesh S. Chauhan. Two-dimensional semiconductors based field-effect transistors: review of major milestones and challenges. Frontiers in Electronics (2023); doi: 10.3389/felec.2023.1277927
24. [REDACTED]
25. [REDACTED]



26. Jun Huang, Sivasubramanian Somu and Ahmed Busnaina. A molybdenum disulfide/carbon nanotube heterogeneous complementary inverter. Nanotechnology 23, 335203 (2012); doi:10.1088/0957-4484/23/33/335203
27. [REDACTED]
28. [REDACTED]
29. [REDACTED]
30. CMOS inverter: DC analysis: <https://www.egr.msu.edu/classes/ece410/mason/files/Ch7.pdf> ; CMOS inverter: [https://bjpcjp.github.io/pdfs/cmos\\_layout\\_sim/ch11-inverter.pdf](https://bjpcjp.github.io/pdfs/cmos_layout_sim/ch11-inverter.pdf) etc.
31. [REDACTED]
32. [REDACTED]
33. M.V. Strikha, M.D. Hurieiev. ANALYTICAL MODEL FOR THE SWITCHING VOLTAGE AND GAIN COEFFICIENT OF A CMOS INVERTER WITH NANOCANNEL 2D TRANSISTORS. //In: Book of proceedings of The XXV INTERNATIONAL YOUNG SCIENTISTS CONFERENCE ON APPLIED PHYSICS. Taras Shevchenko National University of Kyiv, Faculty of Radio Physics, Electronics and Computer Systems ICAP 2025. – P.130-131.